

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2005 年 3 月 10 日 (10.03.2005)

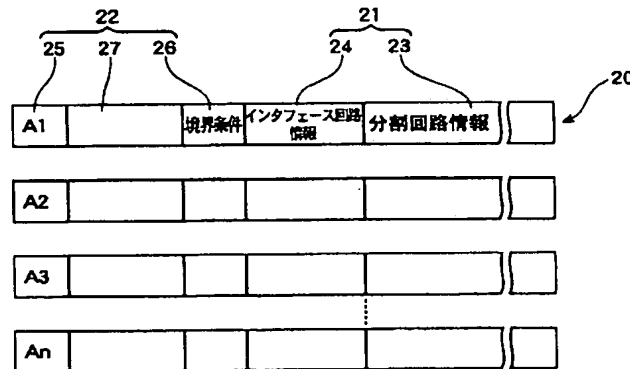
PCT

(10) 国際公開番号  
WO 2005/022380 A1

- (51) 国際特許分類<sup>7</sup>: G06F 9/30, H03K 19/173 Tomoyoshi) [JP/JP]; 〒1410021 東京都品川区上大崎二丁目 2 7 番 1 号 アイピーフレックス株式会社内 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2004/012380
- (22) 国際出願日: 2004 年 8 月 27 日 (27.08.2004) (74) 代理人: 今井 彰 (IMAI, Akira); 〒3900811 長野県松本市中央 1 丁目 4 番 2 0 号 日本生命松本駅前ビル 8 階 Nagano (JP).
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2003-306357 2003 年 8 月 29 日 (29.08.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): アイピーフレックス株式会社 (IPFLEX INC.) [JP/JP]; 〒1410021 東京都品川区上大崎二丁目 2 7 番 1 号 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (72) 発明者; および (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, SL, SZ, TZ, UG, ZM, ZW), [続葉有]
- (75) 発明者/出願人 (米国についてのみ): 佐藤 友美 (SATO,

(54) Title: DATA PROCESSING DEVICE

(54) 発明の名称: データ処理装置



26...BOUNDARY CONDITION  
24... INTERFACE CIRCUIT INFORMATION  
23... DIVIDED CIRCUIT INFORMATION

(57) **Abstract:** A data processing device uses an architecture code (20) including: object circuit information (23) for mapping an object circuit as at least a part of a circuit for executing an application, to a part of a logic circuit which can be dynamically re-configured; interface circuit information (24) for mapping the interface circuit in contact with the object circuit, to the logic circuit; and a boundary condition (26) to be realized in the interface circuit. The data processing device includes: a load unit for acquiring the architecture code (20); a mapping unit for mapping the object circuit and the interface circuit into the logic circuit area by the object circuit information (23) and the interface circuit information (24) in the architecture code; and an operation control unit for controlling the interface circuit according to the boundary condition (26) of the architecture code.

[続葉有]

WO 2005/022380 A1